

Sistema de digitalización de señal basado en FPGA y configurado utilizando MatLab

Ismel Domínguez-Rodríguez
Fidel E. Hernández-Montero
Mario L. Ruiz-Barrios

Universidad de Pinar del Río,
Marti 270, Pinar del Río.
CUBA.

Tel. (53) 48779362
Correo electrónico (email) ismel@tele.upr.edu.cu
fidel@tele.upr.edu.cu
mruiz@tele.upr.edu.cu

Recibido el 13 de octubre de 2009; aceptado el 26 de febrero de 2010.

1. Resumen

En este trabajo se exploran las posibilidades de los sistemas de lógica configurable para la digitalización y manejo de variables empleando el procesamiento digital. En particular, se propone una variante basada esencialmente en la utilización de una FPGA configurada utilizando Matlab/Simulink. Se comprueba de manera práctica la aplicación a través del uso de un sensor de vibración.

El trabajo realizado representa una alternativa de bajo costo para el desarrollo de sistemas de adquisición de datos e ilustra la posibilidad de elaborar soluciones a problemas reales a través de esta tecnología alternativa.

Palabras clave: FPGA, digitalización, diagnóstico, acelerómetro.

2. Abstract (Signal Digitalization System Based on FPGA and Programmed Using Matlab/XSG)

This work intends to test the capabilities of a configurable logic system for digital signal digitizing and processing. In particular, this paper is based on the use of a FPGA platform configured through Matlab. In order to test, in a practical sense, the system performance a vibration sensor was used.

This work constitutes a low cost choice for data acquisition system implementation and reveals the possibility of solving real problems by using FPGA technology.

Key words: FPGA, digitalization, diagnostic, accelerometer.

3. Introducción

El vertiginoso desarrollo de las tecnologías de fabricación de dispositivos electrónicos ha marcado un importante avance en todos los sectores de la sociedad. Áreas como el Procesamiento Digital de Señales han sufrido una verdadera revolución gracias a las bondades de las nuevas y eficientes tecnologías, permitiendo comprobar y crear nuevos algoritmos matemáticos y técnicas especializadas en las diferentes plataformas existentes. Uno de los campos donde se vierten estos avances es el diagnóstico industrial.

El monitoreo y diagnóstico de sistemas, como parte del mantenimiento predictivo, juegan un papel importante en la industria porque permiten la realización de sus procesos libre de interrupciones y averías inesperadas, que a su vez inducen más calidad y menos pérdidas. Una alternativa para realizar estas tareas de supervisión puede ser la implementación de un sistema embebido que permita monitorear constantemente los parámetros deseados y tomar decisiones sobre el objeto que se chequea.

A partir de las experiencias adquiridas en la Universidad de Pinar del Río, Cuba, y específicamente en el Grupo de Investigación de Diagnostico Avanzado de Maquinarias (GIDAM) en el trabajo con sistemas embebidos, y como parte del proyecto "Desarrollo e implementación de técnicas avanzadas para el diagnóstico de aerogeneradores y sistemas electromecánicos en general", auspiciado por el Ministerio de Educación Superior (MES) y el intercambio académico realizado en el marco de la Red CYTED-SEDIPRE [1], que pretende contribuir al desarrollo y construcción de un sistema que permita aplicar algoritmos y técnicas de diagnóstico y detección de fallos, requeridos por la industria nacional energética, aprovechando las ventajas que ofrecen las tendencias modernas en el desarrollo de la electrónica, se adopta como plataforma de desarrollo un sistema flexible de programación de hardware FPGA Spartan 3E desarrollado por Digilent llamado Nexys 2.

Con esta investigación se pretende resolver el problema de la necesidad de digitalizar variables físicas emitidas por una turbina de aerogenerador, como parte de una estrategia de

mantenimiento predictiva que permitirá detectar desperfectos de diversa índole.

El trabajo fue desarrollado en secciones que facilitan su entendimiento. Primeramente se ofrece una descripción de los elementos de hardware que componen el sistema, así como de la plataforma de programación para dispositivos FPGA utilizados en la aplicación. De forma breve se procede a explicar la funcionalidad del sistema digitalizador a través de algunas simulaciones y del esquema general de código. Finalmente se analizan los resultados obtenidos a partir de los experimentos realizados, incluyendo la utilización de un acelerómetro.

4. Desarrollo

4.1. Materiales

El sistema en cuestión que se propone está compuesto por los componentes que se muestran en la figura 1. La señal proveniente del acelerómetro capacitivo ADXL203 es digitalizada con la ayuda del módulo PMOD AD1. El convertor a su vez es controlado por la tarjeta FPGA Nexys 2 de forma que los datos obtenidos se almacenan en memoria interna para ser transmitidos a la computadora vía RS-232. Una vez en la computadora se procede a procesarlos.

4.1.1. Características del sensor ADXL203 de Analog Devices

El ADXL203 (sensor utilizado para la comprobación del sistema de digitalización) es un acelerómetro de dos ejes, con alta precisión y que ya posee la señal de voltaje de su salida acondicionada proporcionalmente a la aceleración a la que se expone. Este acelerómetro mide la aceleración en un rango de ± 1.7 g y se puede medir tanto aceleración dinámica (vibración) como aceleración estática (gravedad) lo que lo hace ideal para poder medir inclinación [2].

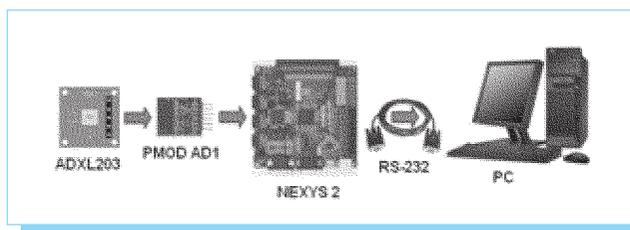


Fig. 1. Esquema del sistema implementado.

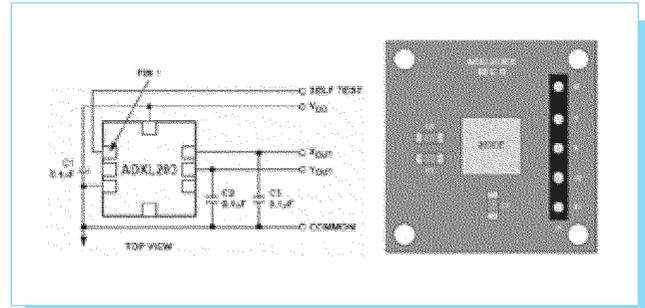


Fig. 2. Esquema de montaje del ADXL203 de Analog Devices.

4.1.2. Características del del módulo PMOD AD1

El módulo PMOD AD1 (módulo de digitalización de señal utilizado) está construido siguiendo el estándar de conexión PMOD de 6 pines. Es un módulo de conversión análogo-digital capaz de muestrear dos canales simultáneamente a 1 MHz. Posee dos convertidores del tipo ADCS7476MSPS de National Semiconductor, unipolares, con referencia de 3.3 V, de 12 bits y que soportan el bus estándar SPI. En el módulo por cada canal se incluye un filtro anti-réplica de segundo orden de topología Sallen-Key con polos situados a 500 KHz [3].

4.1.3. Características de la tarjeta FPGA Nexys2 de Xilinx

La tarjeta Nexys2 (tarjeta utilizada en el trabajo para la tarea de control de la digitalización de las señales) es descrita como una plataforma completa lista para ser usada basada en la FPGA Spartan-3E de Xilinx. Algunos rasgos de esta tarjeta

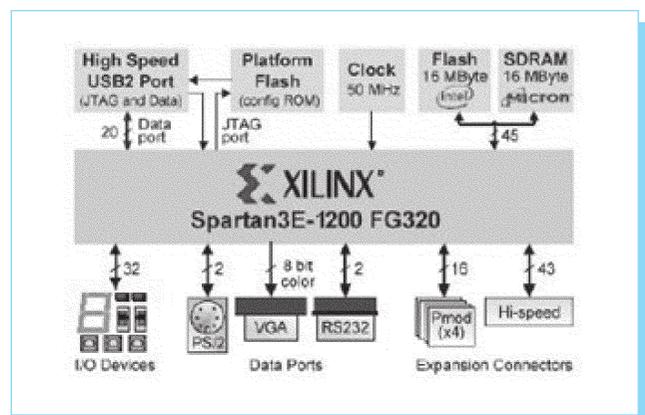


Fig. 3. Esquema conectivo de los componentes de la tarjeta Nexys2.

son: puerto USB-2 de alta velocidad, 16MB de RAM y ROM, además de varios dispositivos y puertos de entrada/salida como son el VGA, RS232, HiroseFX-100 y PMOD que la hacen ideal para sistemas digitales de toda clase [4].

4.1.4. Descripción de Xilinx System Generator

El System Generator (plataforma utilizada para configurar la FPGA) es una herramienta de diseño de DSP de Xilinx que posibilita el uso del ambiente basado en modelos Simulink para diseño en FPGA. Este paquete ofrece abstracciones de alto nivel que son automáticamente compiladas para la FPGA de una forma sencilla y que a su vez permite acceso a recursos subyacentes a través de abstracciones de bajo nivel, posibilitando la construcción de diseños altamente eficientes sobre el dispositivo. Todos los pasos de implementación para la configuración de FPGA, incluidos la síntesis y el ruteo son realizados automáticamente para generar el fichero de programación [5].

Como todos los blocksets de Simulink, el XSG se integra como una biblioteca de bloques que pueden ser conectados para crear modelos funcionales de un sistema dinámico. En el mismo se proveen abstracciones matemáticas, lógicas, memoria, y funciones DSP que son utilizadas para construir sofisticados sistemas de procesamiento de señal. En la figura 4 se puede observar la biblioteca en cuestión.

El System Generator trabaja dentro de la metodología de diseño de Simulink. Comúnmente se crea un ejecutable utilizando la serie de bloques estándares de Simulink que puede ser diseñado usando precisión numérica de punto flotante y



Fig. 4. Biblioteca de XSG una vez hospedada en el Simulink de Matlab.

sin detalle de hardware. Una vez que la funcionalidad y el flujo de datos básico han sido creados, System Generator puede ser usado para especificar los detalles de hardware del dispositivo de Xilinx. Es entonces que utilizando los bloques de SysGen para Simulink se invoca de forma automática al Xilinx Core Generator para generar los netlists altamente optimizados para los bloques de DSP en construcción. Entonces SysGen puede ejecutar todas las herramientas de compilación para producir el fichero bitstream que es el fichero de configuración de la FPGA.

4.2. Métodos

En el sistema primero se procede a muestrear la señal en cuestión y simultáneamente guardar las muestras o datos en la memoria RAM interna de la FPGA. En el mismo instante en que se termina de guardar la cantidad de muestras comienza la transmisión vía RS232 hacia la computadora. Todo el proceso se inicia por un botón. En la PC los datos son recibidos por puerto serie haciendo uso del software Matlab 7.0, específicamente de un objeto que maneja dicho puerto. Una vez que los datos son almacenados en Matlab se procede a graficar la sección de señal muestreada.

Para cada una de estas fases de digitalización y transmisión de la señal se programó un bloque controlador específico teniendo en cuenta que luego los mismos serían interconectados para lograr una operación sincronizada. Se desarrolló un bloque para controlar la digitalización por el convertor análogo-digital, un bloque para sincronizar la escritura de los datos procedentes del convertor en la memoria RAM interna de la FPGA, haciendo uso de un componente proveído en XSG que da acceso a la misma, y finalmente un bloque que permite la lectura de la memoria y la transmisión de las muestras a la PC a través de un módulo VHDL que implementa comunicación RS232 con la PC. Se muestra en la figura 5 el código general en XSG que une los bloques generales y los de sincronización.

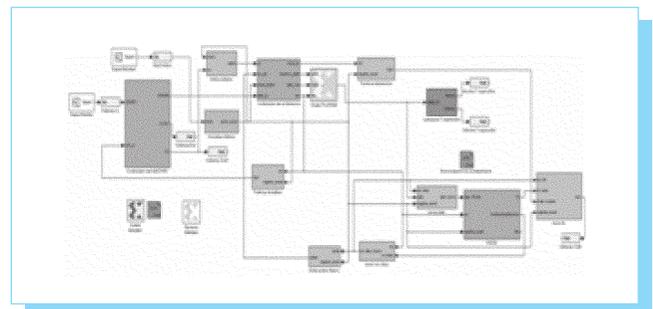


Fig. 5. Diagrama del circuito controlador del sistema.



Fig. 6. Simulación de la comunicación SPI de control del convertidor.

5. Resultados

5.1. Circuito de control del convertidor

En la figura 6 se puede observar la simulación obtenida en el osciloscopio de la plataforma. En el protocolo SPI de este convertidor cuando la señal "cs" va a "0" se activa la señal de reloj que dará solo 16 pulsos, siendo en su respectivo flanco de caída cuando se extrae el dato serie del convertidor comenzando por el bit más significativo que a la vez está antecedido de cuatro ceros.

5.2. Circuito de comunicación serie

En la figura 7 se puede observar la simulación de los estados de las señales de control del sistema transmisor. Se puede observar cómo el incremento de la dirección a transmitir está

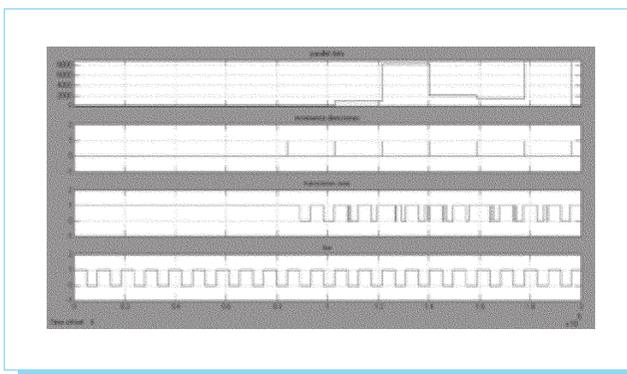


Fig. 7. Simulación de la transmisión serie de los datos sincronizadamente.

sincronizado con la habilitación del transmisor y la relación dato-dirección. Por la alineación de la señal "tbe" y de la señal "transmisión serie" se puede comprobar que el dato que se está transmitiendo en formato serie corresponde a su equivalente en formato paralelo.

5.3. Comprobación práctica del sistema en cuestión

Primeramente se procedió a comprobar la variabilidad de las conversiones de un nivel de directa a la entrada de nuestro convertidor para poder tener un estimado del error en nuestras mediciones. Para ello se estableció en la entrada del convertidor un nivel de directa de 1.011 volts para un código real de 1249.54 la media obtenida fue de 1249. Los códigos recibidos solo variaban en los dos últimos bits lo que representa un error en las mediciones de \pm mV, lo que satisface por mucho la exactitud requerida en la aplicación. En la figura 8 se aprecia la respuesta estable del convertidor en 20000 muestras a un período de muestreo de 1.32 μ s.

Realizada la prueba anterior se procede a comprobar la linealidad del sistema. Para ello se varían los valores de voltaje a la entrada y se toma el valor medio de la secuencia de códigos del muestreo. La respuesta obtenida mantiene la concordancia con la relación de conversión y tiene una buena correspondencia. En la figura 9 se puede observar la relación obtenida (puntos rojos) y la esperada (línea azul).

Para probar la funcionalidad del sistema desde otro punto de vista se procede a conectar a la entrada del mismo la señal proveniente del sensor acelerómetro capacitivo ADXL203

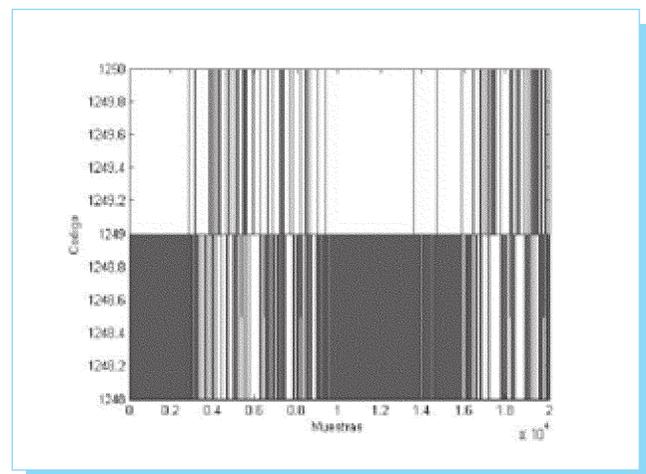


Fig. 8. Estabilidad del convertidor a partir de una componente directa.

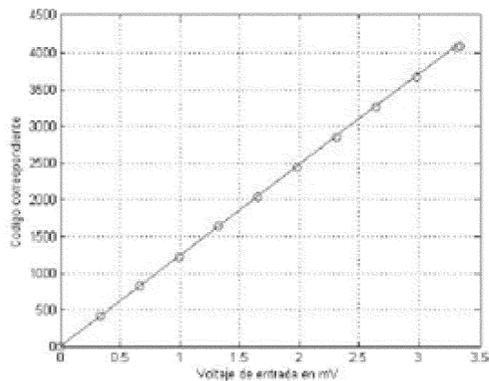


Fig. 9. Correspondencia en la linealidad del sistema.

de Analog Devices. Este es capaz de captar a través de dos ejes las variaciones de las fuerzas a las que se exponga en un rango de ± 1.7 g. A partir de alimentación de 5 V este sensor da a su salida una componente de directa de 2.5 V que varía proporcionalmente a la aceleración, por lo que el voltaje total a su salida será de 2.5 ± 1.7 V (0.8 V - 4.2 V). Teniendo en cuenta este análisis y las capacidades de conversión del sistema (0 V ~ 3.3 V) quedamos limitados a medir aceleraciones en el rango de ± 0.8 g, porque a partir del nivel superior permisible el convertor se saturaría.

Para probar el acelerómetro se realizaron dos pruebas definidas por el estado de actividad de movimiento del mismo, una prueba en posición estática y otra en movimiento. La prueba estática realizada arroja resultados interesantes desde el punto de vista de que a pesar de que la actividad móvil del sensor es nula se obtuvo una variación en los códigos de 3 bits aproximadamente. En la figura 10 se puede observar la respuesta estática del sensor. Esta variación es la suma de dos elementos, uno es la fuente de alimentación, y el otro es el ruido del sensor. El fabricante del sensor especifica una relación a partir de la cual se puede calcular el ruido de este (de aproximadamente 1.39 mV) como relación proporcional al ancho de banda fijado, lo cual en este caso no llega a representar una variación en dos bits. Esta variación, las variaciones en el convertor y las posibles variaciones por alimentación del sensor, que también se realiza con la fuente, son la causa de las variaciones. Partiendo de 3 bits de variación obtenidas en las pruebas si empleamos la relación de conversión, estos 3 bits representan una variación en voltaje de ± 5.6 mV, o lo que es lo

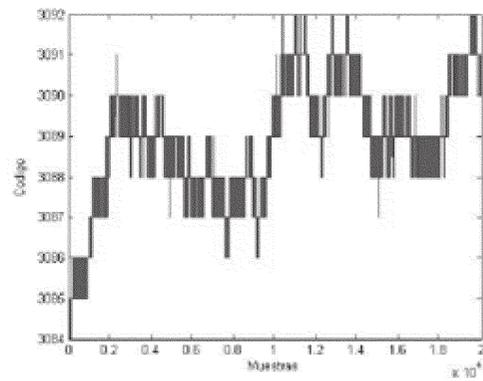


Fig. 10. Respuesta estática del eje Y del sensor ADXL203.

mismo ± 5.6 mg. Partiendo de este error se tiene en cuenta en dependencia del carácter de la aplicación.

También hay que tener en cuenta que al sensor estar estático el ruido puede ser estudiado con mucha mayor facilidad, al punto de que visualmente el ruido a corto plazo solo genera variaciones de dos bits, mientras a largo plazo es de tres a cuatro bits por el ruido de la fuente, el ruido del sensor e incluso por imperceptibles movimientos de la superficie.

La segunda prueba realizada se obtuvo a partir de mover el sensor manualmente con una frecuencia irregular de 4 Hz aproxi-

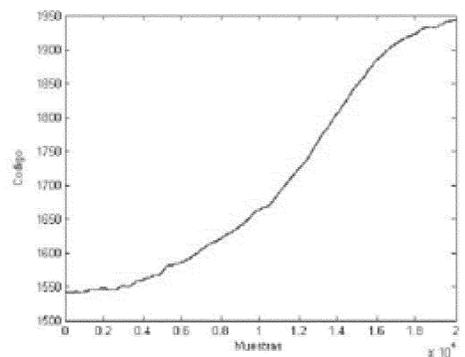


Fig. 11. Respuesta dinámica del sensor estimulado por la mano.

madamente. La respuesta se puede apreciar en la figura 11. Hay que tener en cuenta que la configuración del sistema en el momento de la prueba solo permitía muestrear durante un tiempo de 26.4 ms a una frecuencia de muestreo muy alta por lo que para apreciar períodos completos de una señal de baja frecuencia habría que cambiar la frecuencia de muestreo y la cantidad de muestras guardadas. Aún así, se puede apreciar la transición de estado del sensor a una aceleración muy baja.

Así como se comprobó para una frecuencia baja, se probó para una frecuencia mayor tal como el temblor nervioso de la mano. La respuesta es presentada en la figura 12.

Es importante destacar que todas estas pruebas se realizaron muestreando a 1.32 s y tomando 20 000 muestras en cada sesión de muestreo, lo que permite muestrear hasta 26.4 ms de período.

También hay que destacar el aspecto réplica en el muestreo. Dado que en el módulo PMOD el filtro Sallen-Key tiene sus polos a 500 kHz para admitir una frecuencia de muestreo de 1 MHz, si se decide muestrear a una frecuencia más baja hay que tener en cuenta el solapamiento de las muestras que se produce a la hora de recuperar la señal muestreada. En el caso específico de este trabajo, en la figura 13 cómo es que ocurre la réplica.

Para eliminar la réplica se puede utilizar un filtro pasabajo entre el módulo PMOD, que posee el convertor, y la señal analógica que se trata de digitalizar y fijar su frecuencia de corte a 250 kHz. Se puede proponer por ejemplo un filtro activo monolítico, de orden 8 y que posee una respuesta en frecuencia máximamente llana como el MAX295 (50 kHz) pero con fre-

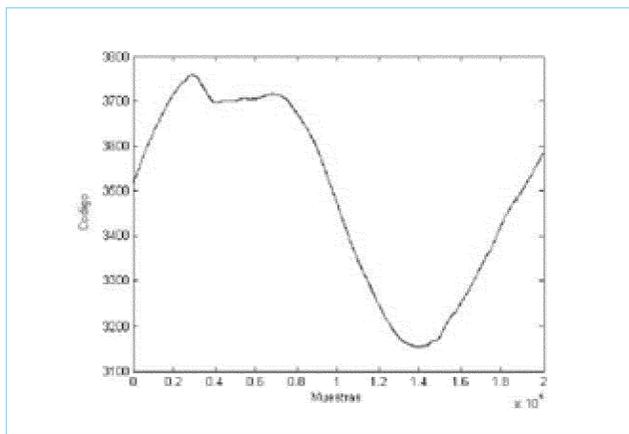


Fig. 12. Respuesta dinámica para una mayor frecuencia.

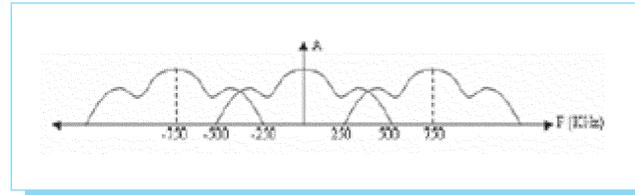


Fig. 13. Muestra de la réplica en la aplicación.

cuencia de corte mayor. Se propone además porque su frecuencia de corte es regulable digitalmente con una señal de reloj, por lo que la FPGA podría desempeñar fácilmente esta tarea.

6. Conclusiones

Durante el desarrollo del presente trabajo se ha podido constatar que si se emplea el Xilinx System Generator como herramienta de diseño de hardware para las FPGA Spartan-3E, se puede sintetizar aplicaciones de procesamiento digital de señales, específicamente la digitalización y manejo de variables eficientemente. Por lo tanto se puede arribar a las siguientes conclusiones con respecto a la herramienta de diseño y al trabajo desarrollado:

1. A partir de una lógica sencilla controlar convertidores con relativa facilidad, una vez que se han creado bases en este tipo de programación.
2. Los bloques que ofrece el blockset de XSG hacen de controlar recursos de la FPGA como las Block RAM, una tarea muy sencilla, lo que ahorra tiempo de desarrollo en control de los recursos de los que se dispone.
3. La introducción de códigos VHDL en esta plataforma es relativamente fácil ya que en determinadas situaciones puede resultar sensible el proceso y de muchos detalles, por lo que se sugiere fuertemente tratar de programar en bloques.
4. Los resultados pueden ser comprobados de forma efectiva en la PC, con la recepción de la digitalización a través de puerto serie en el software Matlab y la graficación de los resultados para las diferentes pruebas.
5. Se pudo verificar que el consumo de recursos de la FPGA para esta aplicación fue del 4.72 % de los CLB, del 71.42 % de las Block RAM y del 6.57 % de las entradas/salidas digitales disponibles. Esto permite agregar más código de ser necesario.

6. Referencias

- [1] http://sedipre.eis.uva.es/index.php?option=com_peoplebook&Itemid=31. Revisado Enero 2010
- [2] http://www.analog.com/static/imported-files/data_sheets/ADXL103_203.pdf. Revisado Enero 2010
- [3] http://www.digilentinc.com/Data/Products/PMOD-AD1/PmodAD1_rm.pdf. Revisado Enero 2010
- [4] <http://www.digilentinc.com/Products/Detail.cfm?Prod=NEXYS2>. Revisado Enero 2010
- [5] [http://www.xilinx.com/support/XilinxSystemGenerator/User's Guide.pdf](http://www.xilinx.com/support/XilinxSystemGenerator/User's%20Guide.pdf). Revisado Enero 2010

ACE-X 2010

4th
International
Conference on
Advanced Computational
Engineering and Experimenting

8 & 9 July 2010

www.ace-x2010.com